Wafer 평가 자동화 algorithm system

Wafer automatic evaluation algorithm system

류정수, 민형복, 김준성, 김병윤
삼성전자 반도체 총괄, 성균관대학교
E-mail: js.ryu@samsung.com

Abstract

This paper is the new test program for development period in the new semiconductor product. Product & Test engineer have repeated making data, so this paper researches automatic evaluation system at Electrical DIE sorting. It is important issues because test engineer can reduce ATE using time, then he uses ATE only special cases, that reduces new ATE investment and engineer resources, Test Engineer assigns more time research items. Finally this algorithm can raise productivity, shorten development period, save prime cost.

Ⅰ. 서 론

반도체 제품에서 Fab out 이후 개발완료 및 양산관리 까지 제품기술(PE/TEST) 업무는 많은 평가 data 를 만들어 내고 관리하여 제품 평가를 하게 된다. 그렇게 하기 위해서는 ATE 장비에서 EDS Test 진행 이후 다시 EDS Line 에 들어가서 평가업무를 진행하게 된다. 본 논문은 이러한 평가 업무 중 단순한 반복적인 data.(shmoo, lvcc, speed margin, leakge..) 를 characterize 할 경우 어떻게 하면 EDS 에서 Wafer sorting 후 봐야 할 평가 data 를 EDS 진행시 Yield, fail 유형, area 위치 의존성, Edge chip 감안, major fail vector 등을 모두 인지하게 하여 실시간으로 data 를 gathering 되게 하여, EDS 이후 다시 data 를 출력하기 위한 시간을 최소화 하는데 초점을 맞추어서 system 을 개발 하였다. 즉 intelligent 한 algorithm 이 EDS 를 진행 하면서 monitoring 을 하기 때문에 문제가 발생하지 않을 경우는 평가 data 를 생성하지 않음으로 Test time 은 전혀 늘어나지 않게 되어 개발기간 단축, engineer resource 최적화, 양산 관리 시간 단축, 장비 투자 억제를 하여 최종적으로 경쟁력 있는 제품을 생산하는데 도움이 되는 시스템을 만들게 되었다

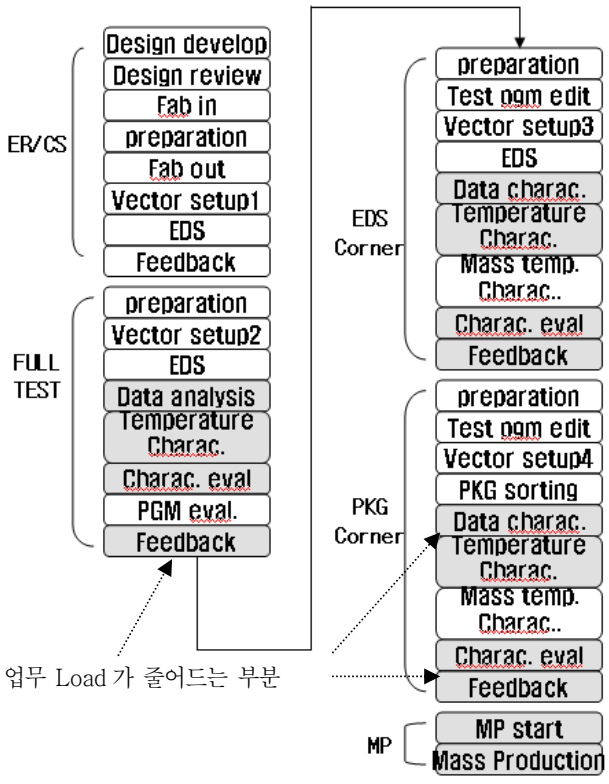
Ⅱ. 본 론

본론 에서는 1. 새로운 기술이 적용될 경우 제품 평가 sequence 중 어떠한 부분이 개선이 되는지 정리를 하였고 2. 어떠한 기능들이 적용 되었는지 상세히 설명 하였고. 3. test engineer 가 EDS 진행 이후 다시 평가 data 를 확보 하기 위해서 낭비 되는 COPQ 시간들을 계산하여 얼마나 불필요 하게 낭비 되는지 나타내었다. 4. 마지막으로 새로운 algorithm 이 적용되어 생성된 data 를 실시간으로 누구나 볼 수 있도록 개발될 system flow 를 알기 쉽게 그림으로 나타내었다.

a) 제품 개발, 양산 process flow chart 정리

크게 보면 ER/CS - EDS - Corner EDS - Corner PKG 검토 – 양산 이다. 이렇게 많은 flow 중 본 논문에서 개발한 test program 을 통해 단축 할 수 있는 부분을 정리 하여 보았다.
그림 1 을 보면 회색 부분은 Test engineer 가 많은 data 를 charac. shmoo, lvcc, speed margin, leakge..) 하는 부분으로 상당 부분은

반복적이고 단순한 특성 평가를 진행한다. 모든 경우의 수를 가정해서 평가를 할 수 없지만 공통적인 평가와 반복적인 평가 data 는 system 개발을 통해서 EDS 진행시 자동으로 만들 수 있다면 장비 투자 및 사용량을 줄임은 물론이고 개발 engineer 의 업무 load 가 줄어들어 더욱 생산적인 일에 투자를 할 수가 있어 본 algorithm 을 착안하게 되었다.
그림 1 을 보면 data analysis, data charac., feedback 등의 관련된 항목은 공통적으로 평가 하는 부분을 test program 에서 생성 되도록 하였다.



[그림 1] 반도체 제품 개발 process 간략도

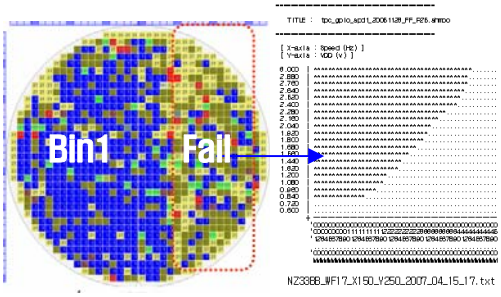
b) algorithm 에서 개발한 monitoring 환경설명

Wafer sorting 진행시 그림 2 와 같은 shmoo 를 EDS test 가 완료된 이후 측정할 것이 아니라 EDS Test 할 때 문제될 만한

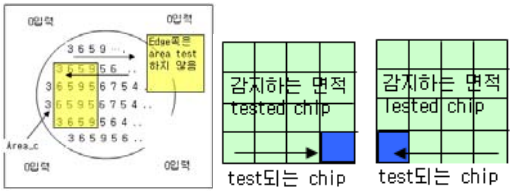
부분을 과거 경험을 바탕으로 algorithm 을 개발하여 test program 에 구축한다. 본 논문에서는 4 가지 경우에 대해서 setup 하여 보았다.

첫번째. only Low vcc fail 이 발생할 경우 fail vector 의 lvcc 또는 shmoo & charac. data 를 확보하여 저장한다.

두번째. 그림 2 와 같이 Area fail 이 발생할 경우 주변 area yield 가 갑자기 나빠지면서 fail 이 발생한다. 이때 major fail vector 를 찾아내서 shmoo & charac. Data 를 확보하는 것이다.

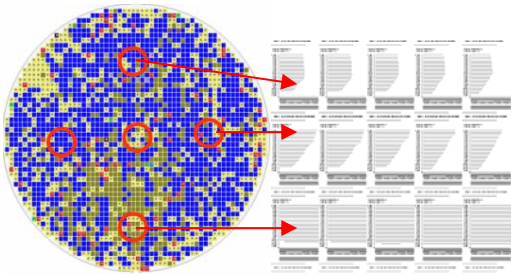


[그림 2] Area fail 유형



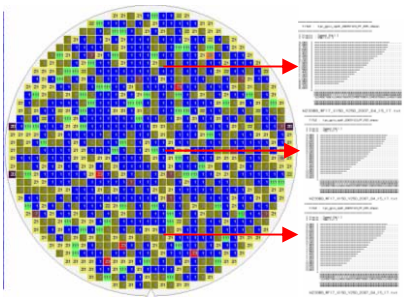
주의점은 Test 는 처음 좌측 상단에서 우측으로 진행하다가 우측 끝에서 한칸 내려가서 좌측으로 진행되기 때문에 감지 area 가 test 진행 방향에 따라 달라 지도록 했다. 이 부분은 Test 장비에 따라 다를 수 있으나 Test time 을 위해 대부분 한 방향이 아닌 지그 제그 방향으로 진행된다. 감지할 Area 부분 면적은 사용자가 간단히 변경 할 수 있도록 하였다.

세번째. 그림 3 을 보면 Corner Lot 같은 경우 Good die 기준으로 bin1 을 기준으로 모든 vector 의 shmoo 을 보아야 한다. 아래와 같이 wafer 위치별로 bin1 을 찾아서 shmoo 및 charac. Data 를 확보 하도록 한다.



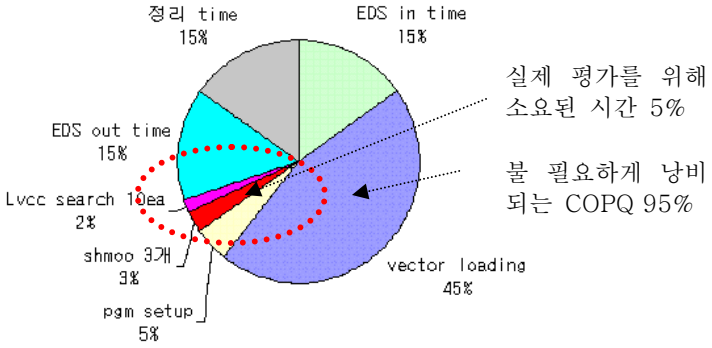
[그림 3] Corner Lot 평가할 위치

네번째. 그림 4 를 보면 wafer 특성을 알기 위해 major fail vector 를 sampling 수준으로 측정하는 것이다. 제품의 대략적인 불량 유형의 특성을 파악하기 위함이다. 양산 진행 보다는 각종 ER Lot 진행시 주로 사용하는 test 방법이다.



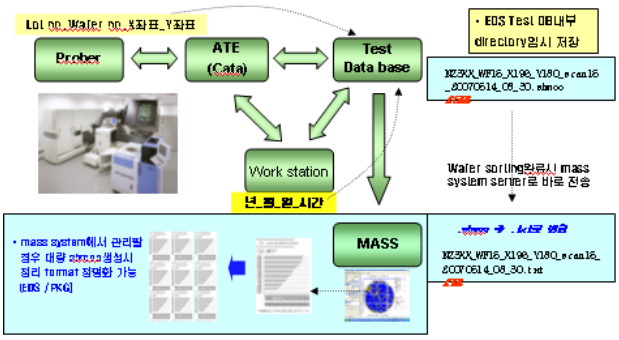
[그림 4] 일반적인 Lot major fail 평가용

기존과 같이 EDS 완료 후 다시 ATE 장비에서 평가용 data 를 생성하지 않고 EDS 를 진행하면서 평가용 data 를 생성하는 이유는 그림 5 에서 설명 하였듯이 Test engineer 가 ATE 를 한번 사용하기 위해서는 생각보다 많은 COPQ 가 존재하기 때문이다. EDS 이후 shmoo 3 개와 Lvcc search data 10ea chip 을 확보하기 위해서 다시 EDS Line 에 들어갔을 때 사용되는 시간을 정리한 것이다. 기본적으로 EDS Line 은 청정도가 상당한 수준으로 유지 되어야 함으로 모든 cleaning 상태 유지를 위한 infrastructure 를 갖추어야 함으로 들어가는 데 옷,마스크 등의 장비를 갖추는데 최소 10 분 이상소요 되고 Vector Loading 대략 30 분 전후가 걸린다 이후 shmoo3 개 3 분, lvcc search 10 분 2 분 ..등등 해서 실제 평가를 위한 시간은 5% 정도이고 나머지 95%는 숨어있는 평가 COPQ 인자들이다.



Item	Time(min)
EDS in time	10
vector loading	30
pgm setup	3
shmoo 3개	2
Lvcc search 10ea	1
EDS out time	10
정리 time	10

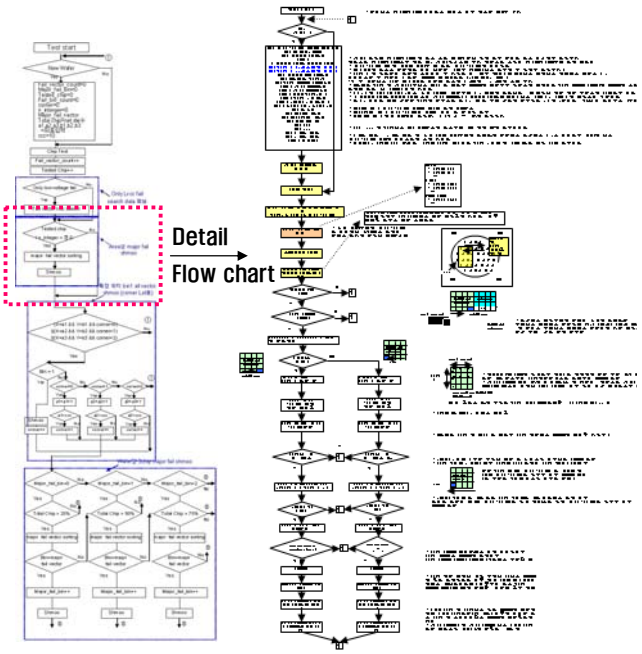
[그림 5] shmoo 3 개, lvcc search10 개를 위해 실제 사용하는 시간



[그림 6] system flow

그림 6 는 새롭게 개발된 algorithm 과 기존 system 에 적용되는 flow chart 이다. 생성된 data 를 workstation 에서 다운 받는 것이 아니라 PC 에서 직접 볼 수 있도록 개발 중이다.(7 월초 완료 예정) 이렇게 함으로서 EDS 진행시 출력된 data 를 Test engineer 뿐만 아니라 누구나 쉽게 data 를 확보하여 문제 발생시 빠른 대응이 가능하다.

그림 7 는 전체 program algorithm flow chart 를 표현 하였다. 크게 4 block 중 1 개 부분은 우측에 detail 한 chart 이다.모든 부분을 표현하기에는 page 가 부족하고 본 논문에서는 이러한 방법으로 setup 을 하였다는 것에 초점을 맞추었다.



[그림 7] Test program flow chart

Ⅳ. 결 론

본 논문에서 제시한 Wafer 자동 평가 system algorithm 을 통하여 다음과 같이 정리를 하였다.

I. 자동화 평가 system 이 도입 될 경우 Test engineer 의 업무 Load 가 VOC 조사 결과 13% 줄어드는 것으로 나타나 상당한 파급 효과가 있는 것으로 나타났다.

II. 단순한 새로운 algorithm 개발 뿐만 아니라 system 을 통하여 누구나 실시간으로 monitoring 이 가능하여 단 시간 내에 문제점이 도출하여 사전 조치 하여 문제 발생시 대응 TAT 시간을 줄여 제품 경쟁력을 키울 수 있게 되었다.

III. 양산 진행시 이상 Lot 이 발생할 경우 자동 평가 data 가 생성 됨으로 engineer 의 양산 관련 업무가 줄어들게 되어, 인력자원 resource 를 최적화 하여 반복성 업무가 아닌 개발 업무에 전념할 수 있어 인건비 절감 및 원가 절감을 할 수 있게 되었다.

본 논문에서 개발한 algorithm 은 과거에 나타났던 불량 pattern 을 program 에 넣어 두었으며, 앞으로 새로운 유형의 불량이 나올 경우 계속 algorithm 을 update 하여 더욱 완벽한 자동화 평가 system 을 지속적으로 개발 할 계획이다.

참 고 문 헌

[1] Teradyne,Mixed-Signal Programming, 2003, Teradyne

[2] Horowitz sahni aderson-Freed , Fundamentals of Data Structures in C, 1993, SciTech

[3] 김주환, C 프로그래밍 500 제,1993,정보문화사